

高速テストを使わない高速半導体テスト手法の開発

- 高速 LSI テスト -

石松賢治*・佐々木守**・福迫武***・神立信一****・金沢守道****・鈴木幸三朗*****・長畑博之*****

* 電子部、** 広島大学、*** 熊本大学、**** (株)ルネサステクノロジ

***** (株)東京カソード研究所、***** サンヨー工業(株)

Method of High Speed LSI Test without High-end Tester

- High Speed LSI Test -

Kenji ISHIMATSU*, Mamoru SASAKI**, Takeshi FUKUSAKO***, Shinichi JINDATE****

Morimichi KANAZAWA****, Kousaburou SUZUKI*****, Hiroyuki NAGAHATA*****

PCI Express に代表される次世代の高速な入出力インタフェースが提案されている。高速 I/O のためのアット・スピード・テストを効率的に安価なテストシステムで実現できる手法を提案する。高速 I/O と提案するアット・スピード・セルフテスト機能を集積化したテストチップを試作して、プロトタイプ DUT ボードと低速なメモリテストを用いた評価実験を行った。BER 測定結果より提案テストシステムで、良好なアット・スピード・テストが実行できることを確認した。

1. はじめに

ここ 10 年でマイクロプロセッサの動作周波数は 30 倍以上、ハード・ディスク装置(HDD)のインタフェース速度は約 25 倍、ネットワークの代表格といえる Ethernet のデータ転送速度に至っては実に 100 倍もの高速化を遂げた¹⁾。しかし、現在多くの機器で広く使われている PCI バスのデータ転送速度は、ほとんど変わってない。また、機器設計に当たって想定すべきアプリケーションの変化、すなわち、動画やオーディオといったストリーミング・データへの対応が次世代の入出力インタフェースの開発の大きな動機づけになっている。

PCI Express などに代表される次世代の入出力インタフェースでは、隣り合う 2 個の LSI を 1 対 1 で接続するポイント・ツー・ポイント接続方式を採用して、多重反射を抑えている。また、高い動作周波数でもクロック・スキューの調整が容易になるように、8 ビット程度といった狭いデータ幅を採用する。ポイント・ツー・ポイント接続や狭いデータ幅の採用は、スイッチ LSI が中心となってデータの転送を制御するネットワーク構造を採りやすくなることから、ストリーミング・データの転送に適している。しかし、広いデータ幅を備えるバス・インタフェースに比べて、飛躍的に高い周波数で動かさなければならない。たとえば 32 ビット幅の PCI バスに比べて 10 倍程度のデータ転送速度を 8 ビット幅のデータ・パスを使って実現するには、1GHz 以上で動作する入出力回路が必要になる。

上記のようなことを背景に、PCI Express などの高速 I/O を備えた LSI の生産量は今後増えることが予想される。また、これらの高速 I/O は、Multiplexer / Demultiplexer

や VCO(Voltage Controlled Oscillator)、PLL(Phase Locked Loop)、DLL (Delay Locked Loop) などを含んでいる²⁾。そのため、テストに関しても、I/O 部に対して今まで行なってきた LFT(Loose function test)や DC テストとは異なった対応(アット・スピード・テスト)が要求される。このような高速 I/O を備えた LSI の量産に備えて、LSI テストのあり方を検討することは非常に重要である。

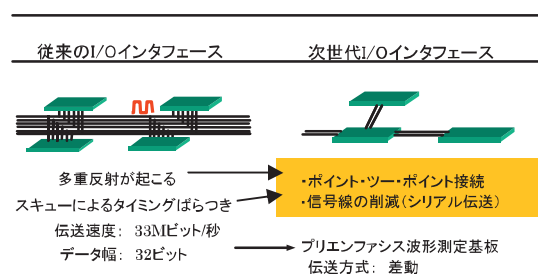


図1 次世代 I/O インタフェース

2. 高速 I/O テストの問題点

現在でも、プローブカード自身や LSI テスタ単体では、1GHz を越える信号に対応可能となっている。しかし、それらを組み合わせたテストシステム全体は、極めて高価になる。汎用品のテストでは、複数のテストシステムを用いて、並列にテストを実行することでスループットを向上させている。高価なテストシステムでは、このような方法は望めず汎用品のテストには不向きである。

LSI テスタを用いた測定では、LSI テスタ、ロード・ボード、ソケットの負荷容量が、設計時に実行した論理シ

ミュレーションの端子負荷容量の設定値を大きく上回ることがあり、論理シミュレーションで確認された最高周波数で動作しないことがある。これらのことは、高速 I/O のテストではより顕著になる。LSI から波形検出部までの配線長に加えて、ロード・ボード、ソケットの周波数特性まで考慮する必要がある³⁾。

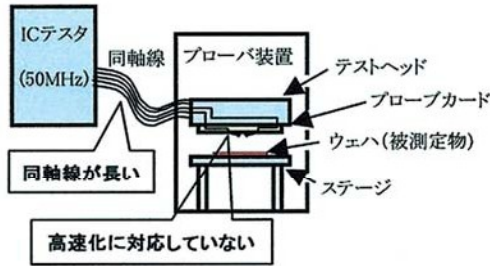


図2 ウエハテストでの問題

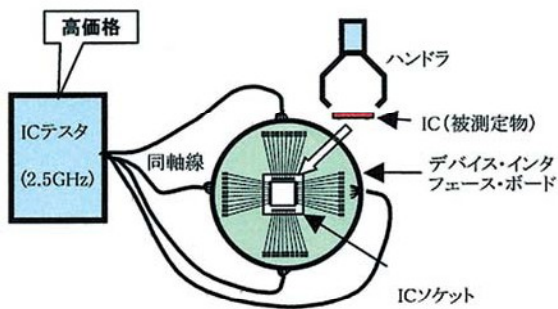


図3 ファイナルテストでの問題点

3. 高速 I/O のためのテスト・システム

ロード・ボード上にアナログ信号の測定回路や解析回路を実装して、アナログ・テストを汎用ロジック・テストで行なえるようにしたアナログ BOST (Built-Out Self-Test) が開発されている⁴⁾。BIST⁵⁾ (Built-In Self-Test)と比較して BOST のメリットは、

- (1) 外部インタフェースを含めた保証が可能
- (2) チップのエリア・ペナルティがない
- (3) チップ評価時における可観測性が高い

ことである。ここで、(1)、(3)のメリットは、高速 I/O のテストには必須の条件であり、先に示した DUT から信号検出部までの配線距離を著しく短くできる。

したがって、先の解析で示したような高速デジタル信号の波形歪みを十分抑えることができ、高速 I/O のテストを可能にする。一方、一般的に BOST の欠点として、次の 2 点が挙げられる。

- (1) ロード・ボード上に実装スペースが必要

- (2) チップのピン数の制約を受ける

ただし、(2)に関しては、高速 I/O テストでは問題にならない。その他、BOST を考える上で高速 I/O テスト独自の問題点としては、入出力信号レベルをはじめ、その仕様の多さである。

高速 I/O テストでは、下記のようなさまざまな仕様に対応せねばならない。

- (1) 入出力信号レベル

「CML(Current Mode Logic)」と「LVDS (Low Voltage Differential Signaling)」が有力候補であるが、その理由は、

- 1. 小振幅・差動の信号レベルを採用していること
 - 2. CMOS 技術で実現可能なこと
- の 2 点である。

- (2) 高速信号処理技術

波形強調(プリエンファシス)、多値伝送、同時双方向伝送といった高速信号処理技術の導入が始まろうとしている。プリエンファシスでは、信号が伝送路を通過する際に波形がなまることを前提にして、あらかじめ送信側の LSI で波形の一部を強調する。多値伝送では、たとえば信号振幅に 4 値(2ビット)の情報をもたせることで、クロック周波数を上げずに信号線当たりの最大データ転送速度を 2 倍に高める。同時双方向技術は、1 本の信号線で同時に双方向に信号を送る技術であり、送信側の LSI の信号レベルを差し引くことによって、相手側から送られてきた信号のレベル判定を行なう。そのため、多値伝送同様に、信号線当たりの周波数を高めずに最大データ転送速度を 2 倍に上げられる。

4.提案するテストシステムの概要

4.1 バウンダリ・スキャン・レジスタによる I/O と内部ロジックの分離

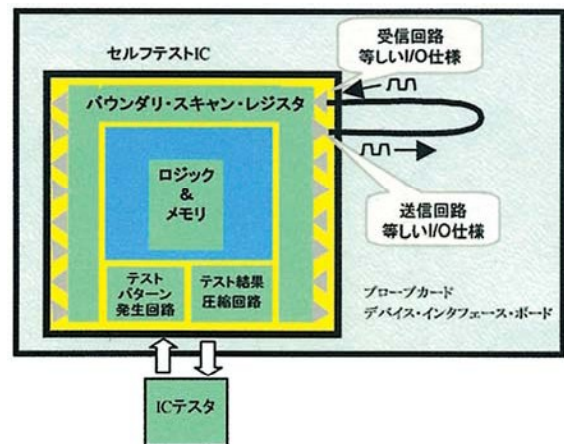


図4 提案するテストシステム

LSI 内部では、テスト容易化設計として、バウンダリ・スキラン・レジスタによるI/Oと内部ロジックの分離を行なう(図4)。これらのバウンダリ・スキラン・レジスタを使って、内部ロジックのテストが容易になると同時に、高速I/Oに対して、送信信号を指定したり、受信信号をテストすることができる。

4.2 疑似乱数パターン発生器とパターン圧縮回路

ロジック BIST では、テスト・パターンが LSI テスタからではなく LSI 内部の疑似乱数パターン発生回路から出力される。また、テスト結果が LSI 内部の出力パターン圧縮回路に送られる。疑似乱数パターン発生回路と出力パターン圧縮回路は、それぞれ LFSR(Linear Feedback Shift Register)と MISR(Multiple Input Signature register)によって、チップのエリア・ペナルティを小さく実現できる⁵⁾。これらを、高速 I/O の送信データ・パターンの発生および受信データのテストに応用する。すなわち、高速 I/O の送信データ・パターンを LSI テスタからではなく、LSI 内部の疑似乱数パターン発生回路から出力させ、高速 I/O が受信したパターンを LSI 内部の出力パターン圧縮回路に送って、テストを行なう。

4.3 ロード・ボード上のループバック・パスによるアット・スピード・テスト

高速 I/O テストとロジック BIST の相違点は、I/O 部のテストのため LSI 内部で閉じたテストが行なえないことである。そこで、図4に示すようにロード・ボード上の配線(ストリップ線路)でテスト対象のLSIのドライバ・ピンとレシーバ・ピンを接続するループバック・パスを設ける。このループバック・パスと LSI 内部の疑似乱数パターン発生器およびパターン圧縮回路を組み合わせ、高速 I/O のセルフ・テストを行なう。この方法の利点は、

- ロード・ボード上に測定回路や解析回路が必要ないため、BOST の欠点であるロード・ボード上の実装スペースが緩和される。
- LSI の I/O 自身を使ったセルフ・テストなので、各々の I/O 仕様に合わせてテスト・システムを設計し直す必要がない。

5.セルフテストチップの設計とアット・スピード・テスト評価

5.1 高速 I/O を備えた LSI の設計、試作

0.25 μ m CMOS 製造プロセスによる高速 I/O およびセルフテスト機能を備えた LSI の設計、試作を行った。表1に試作チップの概要を示す。また、図5にブロック図を示す。送信のための回路ブロックは上段に描かれている。Serializer は10ビットパラレルデータをシリアルデータに変換して、時間に関する前ビット、現ビット、次ビットから構成

される3ビットを同時に transmitter/equalizer に送る。図6に transmitter/equalizer の回路図を示す。

表1 試作チップの概要

項目	内容
伝送方式	差動伝送
伝送速度	2.5Gビット/秒
入出力ポート数	1ポート
外部クロック	31.25MHz
テスタとの信号	8ビットパラレル 30MHz
電源電圧(VDD)	2.5V
プロセス	0.25 μ m CMOS
メタル層	5層
チップ面積	3.3mm x 3.3mm

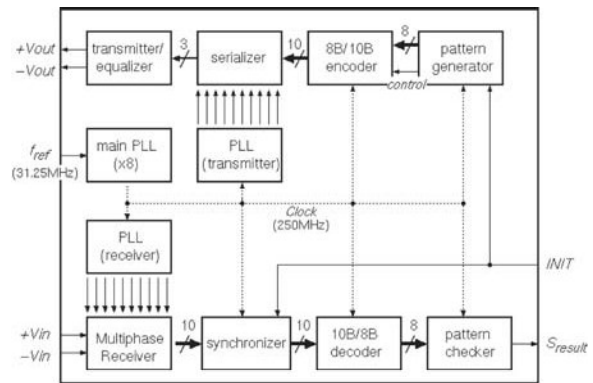


図5 セルフテストチップのブロック図

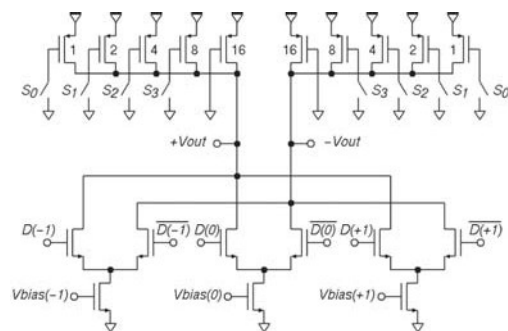


図6 Transmitter/equalizer の回路図

図6では、serializer から送られる3ビットデータを D(-1)、D(0)、D(+1)で表している。3つのソース結合対は、電流モード論理(CML)のドライバとして働き、かつ出力波形をイコライズする3タップのFIRフィルタとして動作する。3タッ

プ係数は、バイアス電圧 $V_{bias(-1)}$, $V_{bias(0)}$, $V_{bias(+1)}$ で調整される。これらの回路の負荷は、伝送線路との正確なインピーダンス整合を実現するため、デジタル的に調整可能な PMOS アレーで構成される。図7に multiphase receiver のブロック図を示す。遅延量を制御するため、アナログDLL(Delay Locked Loop)を採用した。また synchronizer は 2 種類の同期を実現する。1つは、受信データと内部クロック間のタイミング調整である。もう1つは、バイト同期である。

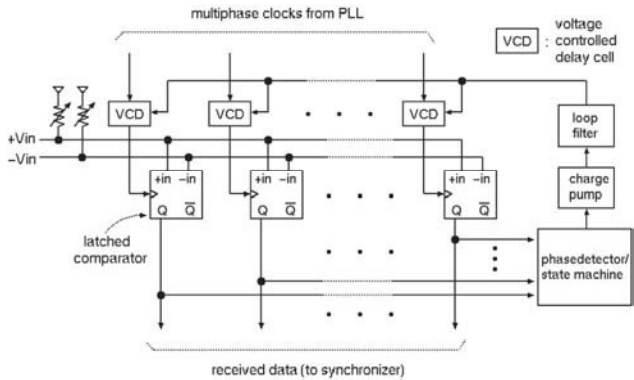


図7 Multiphase receiver のブロック図

Pattern generator は、バイト同期のための特別なコードを送るように 8B/10B encoder を制御する。この初期シーケンスは、外部信号 "INI1" によってスタートする。Synchronizer は、初期シーケンスで送られてくる特別なコードを利用してバイト同期を実現する。クロックシステムについては、主 PLL が外部クロック f_{ref} (31.25MHz) から 250MHz の内部クロックを生成する。送信および受信のための PLL は、内部クロックから multiphase clock を生成する。チップレイアウトを図8に示す。測定した 2.5Gbps のアイ・ダイアグラムを図9に示す。

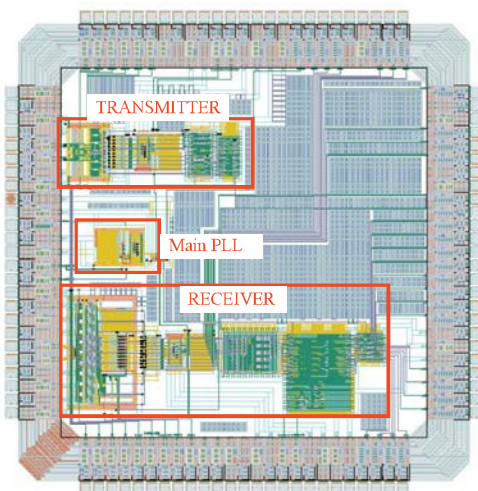


図8 チップ・レイアウト

5.2 アット・スピード・テスト評価

プロトタイプ DUT ボードを開発し、試作したセルフテストチップの BER (bit error ratio) を測定した。開発した DUT ボードを図10に示す。開発した DUT ボードとメモリスタを用いて評価実験を行った。メモリスタのテスト周波数は 30MHz である。テストチップに与える参照クロックは水晶発振器によって生成している。測定した BER のヒストグラムを図11に示す。なお、 10^{-7} 以上の BER のチップは不良品としてヒストグラムには含めていない。

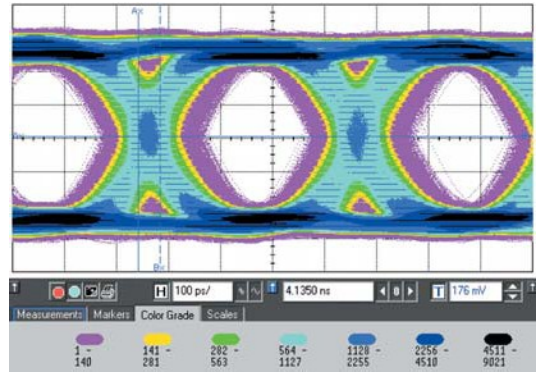


図9 アイ・ダイアグラム

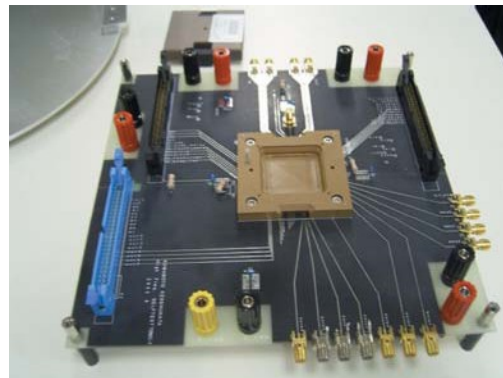


図10 プロトタイプ DUT ボード

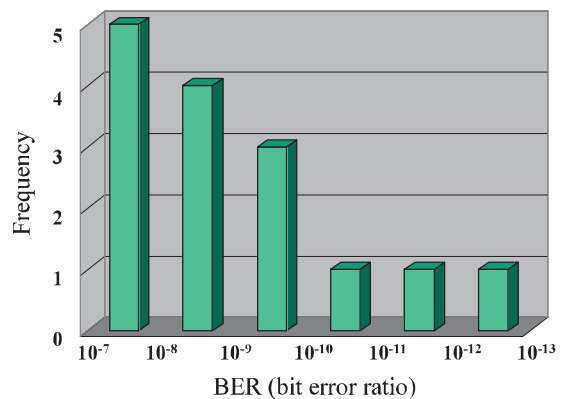


図11 セルフテストチップの BER ヒストグラム

6. まとめ

高速 I/O のためのアット・スピード・テストを効率的に安価なテストシステムで実現できる手法を提案した。高速 I/O と提案するアット・スピード・セルフテスト機能を集積化したテストチップを試作して、プロトタイプ DUT ボードと低速なメモリスタを用いた評価実験を行った。

BER 測定結果より提案テストシステムで、良好なアット・スピード・テストが実行できることを確認した。配線長が変わるとイコライザのタップ係数の調整が必要である。配線長や周囲温度の変化に対応するため、LSI 上でイコライザのパラメータを自動調整する機能の開発を進めている。さらに、この機能のテストを行えるように、提案テストシステム上でループバック・パスの配線長を動的に切り替える機能の追加を検討している

文献

- 1) 枝洋樹, 大石 基之, “バスよりシリアル GHz 伝送への決断”, 日経エレクトロニクス, No.798, p.101-127, 2001
- 2) Pamin Farjad-Rad, Chih-Kong Ken Yang, Mark A. Horowitz and Thomas H. Lee, “A 0.3- μ m CMOS 8-Gb/s 4-PAM Serial Link Transceiver”, IEEE Journal of Solid-State Circuits, Vol.35, No.5, p.757-764(2000)
- 3) 加賀博史, “設計者に必要なテスト工程の基礎知識”, Design Wave Magazine, 2001 年 3 月号, p.35-45
- 4) 花井寿佳, 山田真二, 森長也, 山下栄作, 船倉輝彦, “装置コストを従来の 1/20~1/100 に抑えるアナログ BOST”, Design Wave Magazine, 2001 年 3 月号, p.77-84
- 5) 佐藤康夫, 中尾教伸, “設計者に必要な BIST 技術基礎知識”, Design Wave Magazine, 2001 年 3 月号, p. 55-66